



## NNSLD DSP I/O PORTS

For Rev C PMC, 5 May 1999

### 0x00 - 0x7F & (R + W) - S5933 PCI Device Registers

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
5933	5933	5933	5933	5933	5933	5933	5933	5933	5933	5933	5933	5933	5933	5933	5933
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

### 0x80 & R - TCLK FIFO Status and Event Data

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
FIFO MT	FIFO FULL	TCLK CD	FAN	FIFO OFL	X	X	FIFO DAV	TD7	TD6	TD5	TD4	TD3	TD2	TD1	TD0

FIFO MT - FIFO empty

FIFO FULL - Latched FIFO FULL flag (clocked by TCLK RREQ)

TCLK CD - TeV Clock Carrier Detected

FIFO DAV - FIFO Data Available (after FIFO read request)

FAN - Crate fan status

FIFO OFL - FIFO Overflow; Unlatched FIFO FULL flag

### 0x81 & W - TCLK FIFO Flush and Reset

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

### 0x82 & W - TCLK FIFO Read Request

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

### 0x83 & W - BD CAMAC Operation Type (write only)

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	X	X	X	X	HBT	BD	BR 1	BR 0	BTR	RD

BTR	RD	Operation	BR1	BR0	Beamline
0	0	CAMAC write	0	0	Meson
0	1	CAMAC read	0	1	Neutrino
1	0	BTR setup	1	0	Proton
1	1	BTR setup	1	1	Invalid

BD - RDCAMAC is enabled when low, BDCAMAC when high

HBT - Green heartbeat LED. LED is on when HBT is written low.

QXR Version Only

0x83 & W - BD CAMAC Operation Type (write only)

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	X	X	X	X	HBT	ATT2	ATT1	ATT0	BTR	RD

BTR	RD	Operation
0	0	CAMAC write
0	1	CAMAC read
1	0	BTR setup
1	1	BTR setup

ATTx - QXR PGA settings

HBT – Green heartbeat LED. LED is on when HBT is written low.

0x84 & W - MDAT Typecode

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	X	X	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0

0x85 & R - MDAT Status

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MDAT FLG	X	X	X	X	X	X	X	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0

MDAT FLG is set by reception of a valid MDAT frame having the selected typecode. It is reset by a 125 Hz clock.

0x86 & R - MDAT Data

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MDAT 15	MDAT 14	MDAT 13	MDAT 12	MDAT 11	MDAT 10	MDAT 9	MDAT 8	MDAT 7	MDAT 6	MDAT 5	MDAT 4	MDAT 3	MDAT 2	MDAT 1	MDAT 0

0x87 & W - NNSLD Reset: *Software reset is now performed by disabling the hardware watchdog update on FL2*

QXR Version Only

0x88 & W - QXR Lock

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Sets a latch to prevent the 5760 QXR interrupt from being set.





